

슈퍼컴퓨터 개발선도사업

□ 사업목적

- 초고성능 컴퓨팅 기반 산업·서비스 기술 발전주도를 위한 글로벌 수준의 슈퍼컴퓨터 핵심 기반기술 개발
 - 슈퍼컴퓨터의 핵심 기반기술(CPU, SW, 노드/시스템) 자체개발을 통한 기술역량 확보
 - 엑사스케일 슈퍼컴퓨팅 시대를 대비한 중장기 기반기술 강화
 - 산학연 역량 결집을 통해 국내 초고성능컴퓨팅산업 생태계 활성화

□ 추진배경

- (4차산업혁명 핵심기반기술확보) HW·SW가 통합된 첨단기술 집약체인 슈퍼컴퓨터 개발을 통해 4차산업혁명 핵심기반기술과 역량을 축적하고 파급력 있는 주요기술을 확보하여 관련 산업발전을 촉진하는 계기를 마련할 필요성 대두
 - 초병렬성 최적화 기술은 컴퓨팅 관련 모든 분야에 필요하며, 요소기술은 무인이동체, IoT, 클라우드 등에 적용되어 인공지능 기술발전을 유도
 - ※ 신약개발, 신소재개발, 발사체 및 항공기 개발, 천문학연구, 유전체 연구 등의 고난이도 계산에 슈퍼컴퓨터 활용이 증가하고 있음
 - ※ 슈퍼컴퓨터를 활용한 modeling & Simulation은 제품개발시간 및 비용절감에 크게 기여 (미국 Boeing사는 신형 항공기 제작 과정에서 시험기 제작 대수를 90% 감축. 미국 Rocket Crafters사는 하이브리드 로켓엔진 개발비용의 50%를 절감하고, 개발기간의 60%를 단축. 미국 국방부에서는 무인항공기 설계시간을 대폭 감축하여 연간 1,200만 달러의 비용을 절약. [KISTEP, 2014])
 - ※ 일기예보를 비롯한 자연재해·전염병 등의 재난·재해 예측을 통해 국민의 생명과 재산을 보호하는 핵심 인프라로 활용 (미국 국립해양대기청은 일본 쓰나미의 이동경로를 85% 수준의 정확도로 예측할 수 있는 성과를 확보 [KISTEP, 2014])
- (글로벌 슈퍼컴퓨팅 기술보유국으로 도약) CPU를 포함하는 독자적인 엑사스케일 슈퍼컴퓨터 기술을 자체 개발하여 글로벌 선도국가로 도약
 - 미국, 중국, EU는 시스템 당 3억~6억\$의 대규모 투자를 진행 중이며 일본은 개발·구축에 조 단위 예산을 투입
 - ※ 미국은 자국 회사인 Intel과 AMD의 x86-64 CPU 기술을 바탕으로 2021~2023에 엑사스케일 시스템 구축을 목표 (ANL Aurora, ORNL Frontier, LLNL El Capita)
 - ※ 일본은 2021년까지 1,100억엔(한화 약 1조원)을 투입하여 ARM 기반의 A64FX CPU 기술을 자체 개발하고 Fugaku 엑사스케일 슈퍼컴퓨터를 구축하는 것을 목표
 - ※ 중국은 2020년을 목표로 세 종류의 엑사스케일 슈퍼컴퓨터 프로토타입을 개발 (자체 개발한 CPU(SW26010)를 사용하는 NRCPC 프로토타입, AMD와 합작하여 개발한 CPU(Hygon x86)를 사용하는 Sugon 프로토타입, 자체 개발한 가속기 기술(Matrix-3000) 중심의 NUDT 프로토타입)
 - ※ EU는 2024년을 목표로 ARM 및 RISC-V를 기반으로 CPU와 다양한 가속기 자체 개발 추진

□ 추진방향

- 전통적인 슈퍼컴퓨팅 응용을 대상으로 CPU 기술 중심 슈퍼컴퓨터 기술 연구개발
 - FLOPS 기반의 성능보다는 국가적 활용성을 목표로 슈퍼컴퓨팅 응용 분야의 요구사항 및 워크로드 특성을 고려하여 특화된 CPU 기술 개발
 - ※ KISTI에 구축된 국가 슈퍼컴퓨터 5호기(누리온)의 경우 MPI 병렬 프로그래밍 모델을 사용하는 전통적인 슈퍼컴퓨터 응용의 사용 비율이 압도적으로 높으며, 이들 응용만으로도 시스템 활용률은 95% 이상
 - 슈퍼컴퓨터의 계산 노드를 위한 CPU 기술을 중심으로 연구개발 추진
 - ※ 2018년 12월 KISTI에 구축된 국가 슈퍼컴퓨터 5호기 누리온의 경우 도입비용 중 계산 노드가 차지하는 비율이 약 60-70%에 달함
- 국제 생태계와의 상생 및 조화를 고려한 슈퍼컴퓨터 기술개발
 - 국내 CPU 기술개발 후발성을 고려하여 국제적으로 생태계(공개소스SW)를 보유하고 있는 CPU 기술과 연계하여 연구수행
 - ※ 미국, 중국, 일본, 유럽 모두 공개소스SW 생태계를 잘 지원할 수 있는 x86, ARM, RISC-V와 같은 기존의 CPU 기술을 기반으로 연구개발 수행
 - ISA(Instruction Set Architecture)가 공개되어 있지 않은 CPU 코어기술(상용 ISA)과 공개되어 있는 CPU 코어기술(오픈 ISA)을 함께 고려하여 미래 생태계 변화에 대응
- 하드웨어와 소프트웨어의 Co-design
 - HW와 SW 기술을 연구 초기단계부터 함께 설계하여 유기적으로 밀접하게 통합하여 개발될 기술의 유용성을 조기에 확보

□ 연구목표

○ 상용 ISA 기반 슈퍼컴퓨터 계산 노드 기술개발 (TRL 6)

- (목표) 10 TFLOPS 이상으로 배정도 부동소수점(double precision FP) 계산 기능이 강화된 CPU 칩과 이를 위한 소프트웨어를 개발하고, 소규모 클러스터에서 개발된 하드웨어 및 소프트웨어 기술을 기반으로 병렬 응용 수준의 성능을 제시
- (1세부: CPU 기술개발) 배정도 부동소수점 계산 유닛 기술, CPU 메모리 계층 기술, On-CPU 토폴로지 및 칩(Chip) 간 인터페이스 기술, 주변장치 연결 기술, CPU 칩 제작 기술
 - ※ 배정도 부동소수점 계산 유닛: SIMD, On-chip VPU 등 기술을 활용하여 제시
- (2세부: 소프트웨어 기술개발) 운영체제 기술, 병렬 프로그래밍 모델 기술, 슈퍼컴퓨팅 수치 라이브러리 및 응용 기술
- (3세부: 노드 및 시스템 기술개발) 슈퍼컴퓨터 노드 기술, 클러스터 시스템 기술
- (기대효과) 슈퍼컴퓨터를 위한 국산 CPU 기술개발의 첫 단계로서 국내에 축적된 하드웨어 및 소프트웨어 기술을 기반으로 완성도 높은 CPU 칩 기반의 슈퍼컴퓨터 계산 노드를 개발하고, 국산 CPU 개발의 가능성 제시

○ 오픈 ISA 기반 CPU 코어 기술개발 (TRL 4)

- (목표) 슈퍼컴퓨터를 위한 CPU 코어의 ASIC PnR(Placement and Routing) 결과 제시
- (4세부: CPU 코어 기술개발) SIMD 기술, 파이프라인 및 Superscalar 기술, 분기 예측(branch prediction) 기술, 비순차명령어처리 (out-of-order execution) 기술, 멀티코어 기술, 메모리 관리 기술, 전력 및 온도 관리 기술
- (기대효과) CPU 코어를 제작하기 위한 설계 결과를 제시함으로써 외산 슈퍼컴퓨터 CPU 코어 기술에 대한 의존성 탈피를 위한 초석 마련

○ 연차별 주요 마일스톤(On-chip VPU로 개발시 예)

기술개발 내용		1-2차연도	3차연도	4차연도
상용 ISA 기반 슈퍼컴퓨터 계산 노드 기술개발	[1세부] CPU 기술 개발	VPU FPGA	CPU Die 설계	CPU 칩
	[2세부] 소프트웨어 기술 개발	시뮬레이션 플랫폼 기반 SW PoC 구현	에뮬레이션 플랫폼 기반 핵심 SW 개발	소프트웨어 스택 통합 및 최적화
	[3세부] 노드 및 시스템 기술 개발	VPU 통합 프로토타입 보드	메인보드 및 새시 설계	시제품 제작 및 성능 분석
[4세부] 오픈 ISA 기반 CPU 코어 기술개발		FPGA 구현	ASIC을 위한 Synthesis 및 P&R 결과	Clock frequency와 IPC 최적화 결과

※ 마일스톤은 예시이며 필요시 총괄 연구책임자는 세부 연구내용 조정 가능

□ 연구내용 및 범위

[1세부 CPU 기술]

1) 배정도 부동소수점 프로세싱 기술 개발

- 배정도 부동소수점 계산 유닛의 단위 연산기 개발
 - 가변 정확도 부동소수점 연산 처리 기술
 - ※ FP64, FP32, FP16, BF16 등 고려
- 배정도 부동소수점 계산 유닛 개발
 - HPC 응용 최적화를 위한 가변 부동소수점 연산 병렬화 기술
 - 메모리 계층 접근 및 연동 기술
 - ※ CPU 내장 메모리, CPU 외부 메모리 등 고려
 - 계산 유닛 제어 기술
 - 연산성능 향상을 위한 계산 유닛 다중화 구조 기술
 - 다중 계산 유닛들 간의 데이터 공유 기술
- General 코어와 계산 유닛 통합 개발
 - General 코어와 계산 유닛 통합 구조 기술
 - ※ Out-of-order execution 기술 고려
 - ※ 계산 지연 숨김(latency hiding) 기술 고려
 - ※ Speculative 실행 및 복구기술 등을 고려
 - General 코어와 계산 유닛 통합 구조에서 고대역폭 메모리 활용 기술
 - ※ Die-stacked DRAM(예, HMC, HBM 등) 고려

2) CPU 메모리 계층 기술

- CPU 내장 메모리 인터페이스 개발
 - 병렬 초고속 메모리를 활용하는 메모리 계층 기술
 - ※ 병렬 초고속 메모리: Die-stacked DRAM(예, HMC, HBM 등)
 - 공유 메모리 접근 지연성 최소화 병렬 인터페이스 기술
- CPU 외부 메모리 인터페이스 개발
 - 대용량 DRAM 메모리 인터페이스 기술
 - ※ DDR4, LPDDR5 등 고려

3) On-CPU 토폴로지 및 칩(Chip) 간 인터페이스 기술

- 온칩 네트워크 기술 개발
 - General 코어와 계산 유닛을 연결하는 CPU 내부 버스 기술
 - General 코어 간 데이터 일관성 보장 기술
- 칩 간 연결 기술 개발
 - 56+Gbps SerDes 기술
 - ※ NRZ(non-return to zero), PAM4(four-level pulse amplitude modulation) 등 고려
 - 칩 간 연결과 General 코어 연동 기술

- 칩 간 연결과 계산 유닛 연동 기술

4) 주변장치 연결 기술

○ PCIe 버스 인터페이스 개발

- PCIe Root Complex 버스 구조 기술
- 다중 lane/port configuration 기술
- 인터럽트 수집/처리(aggregation) 기술

5) CPU 칩 제작 기술

○ CPU 칩 제작/검증 기술

- 멀티 General 코어, 계산 유닛, On-CPU 토폴로지, PCIe 버스 인터페이스, 병렬 초고속 메모리, 인터포저(Interposer) 통합 기술
- CPU 에뮬레이션/시뮬레이션 기술
- On-Chip/Network-based Debugging 기술
- CPU 칩 시제품 제작 및 성능 검증
 - ※ 14 nm 이하 공정 기술 고려

[2세부 소프트웨어 기술]

1) 운영체제 기술

○ 병렬 쓰레드/프로세스 관리 기술 개발

- 개발 CPU를 위한 atomic/barrier 명령어 기반의 동기화 최적화 기술
- 개발 CPU를 위한 병렬 쓰레드/프로세스 관리 기술
- 계산 실행시간 변화율 최소화 기술
- 개발 CPU 아키텍처 기반 운영체제 성능 최적화

○ 메모리 관리 기술 개발

- 개발 CPU 메모리 구조에 최적화된 메모리 관리 기술
- 병렬 초고속 메모리 (예, HBM 등) 지원 메모리 관리 기술

○ 전력 관리 기술 개발

- 노드 단위의 발열, 전력 소모, 부하상태 모니터링 기술
- 개발 CPU의 저전력 기능을 지원하기 위한 관리 기술

2) 병렬 프로그래밍 모델 기술

○ 개발 CPU 지원 컴퓨팅 노드 내 병렬 프로그래밍 모델 기술 개발

- 개발 CPU의 배정도 부동소수점 계산 유닛을 활용하는 병렬 프로그래밍 라이브러리 기술
 - ※ MPI-3, OpenMP 5.0 등 고려
- 개발 CPU의 계산 유닛을 위한 Directive, 자동 벡터화 등의 컴파일러 기술
- 개발 CPU에 최적화된 공유 메모리 기반 병렬 프로그래밍 모델 기술

○ 클러스터 지원 분산 병렬 프로그래밍 모델 기술 개발

- 개발 CPU 및 컴퓨팅 노드에 최적화된 분산 병렬 프로그래밍 모델 기술
- 스케일 아웃 지원 하이브리드 병렬 프로그래밍 모델 기술
- ※ MPI-3, OpenMP+MPI 등 고려

○ 저전력 컴퓨팅을 위한 병렬 프로그래밍 모델 기술 개발

- 병렬 프로그래밍 모델의 전력 소비 효율 향상 기술
- 저전력 컴퓨팅을 지원하기 위한 개발 CPU 및 컴퓨팅 노드에 최적화된 병렬 프로그래밍 모델 기술

3) 슈퍼컴퓨팅 수치 라이브러리 및 응용 기술

○ 컴퓨팅 노드 부동 소수점 수치 라이브러리 기술

- 개발 CPU에 최적화된 선형대수 라이브러리 개발
- ※ BLAS (Level 1/2/3 지원), LAPACK 등 고려

○ 슈퍼컴퓨터 성능 벤치마크 최적화

- 슈퍼컴퓨팅 표준 벤치마크 (예, HPL, HPCG 등) 최적화 기술

○ HPC 응용 프로그램 포팅

- ※ 전자구조계산(VASP), 분자동역학(Lammps), 전산유체(OpenFOAM), 입자물리(MILC) 등 고려

[3세부 컴퓨팅 노드 및 시스템 기술]

1) 컴퓨팅 노드 기술

○ 개발 CPU를 탑재한 고성능/저전력 컴퓨팅 노드의 메인 보드 개발

- 개발 CPU 기반 노드 구조, 시스템 인터커넥트, 스토리지 등 I/O 장치를 지원하는 메인 보드 기술
- 메인 보드 내 컴포넌트(프로세서, 각종 반도체 장치, 주변장치 등)의 운영, 상태 모니터링, 장애 진단 등을 위한 원격 하드웨어 관리 및 제어 기술

○ 컴퓨팅 노드의 전력 효율 극대화를 위한 냉각 기술 개발

- 컴퓨팅 노드 전력 제어 기술
- 메인 보드의 안정적 발열 제어를 위한 냉각 기술
- 컴퓨팅 노드의 고집적 새시 기술
- ※ 구조역학 분석 및 고효율 전원 기술 고려

○ 컴퓨팅 노드의 실행 환경 구축을 위한 컴퓨팅 노드, 시스템 SW, 벤치마크 응용 통합 개발

- 개발된 단위 컴퓨팅 노드에서 운영체제 부팅 및 작동 지원 기술
- 개발된 단위 컴퓨팅 노드에서 슈퍼컴퓨팅 응용 지원 라이브러리 실행 지원 기술
- 개발된 단위 컴퓨팅 노드에서 벤치마크 및 응용 실행 지원 기술

2) 클러스터 시스템 기술

○ 단일 랙 규모 테스트베드 구축

- 랙 규모(컴퓨팅 노드는 최소 8대 이상) 테스트베드 구축

- ※ 컴퓨팅 노드, 스토리지 서브시스템 및 관리/서비스 네트워크 포함
- ※ 노드 간 연결은 상용기술(예, InfiniBand 등)을 기반으로 구현
- ※ 클러스터 시스템의 구성관리, 작업 관리 등은 공개 SW 활용
- ※ 기능, 성능 검증을 위한 SW 스택 구축
- 랙 규모 테스트베드 기반 기능 및 성능 시험
 - ※ 컴퓨팅 노드와 스토리지 서브시스템 및 네트워크 연동 기능 검증
 - ※ 기능, 성능, 응용 시험

[4세부 오픈 ISA 기반 CPU 코어 기술개발]

1) General 코어 기반 기술 설계

○ SIMD 기술

- 벡터 프로세싱을 위한 SIMD 명령어 기술
- SIMD 명령어를 위한 컴파일러 기술

○ 파이프라인 및 Superscalar 기술

- Pipeline depth 및 queue length 조정을 위한 기술
- Superscalar를 위한 동시 처리 명령어 개수(way) 최적화 기술

○ 분기 예측 기술

- 슈퍼컴퓨팅 응용을 위한 분기 예측 기술
- 칩의 면적과 타이밍 오버헤드를 고려한 하드웨어 설계 기술

○ 비순차명령어처리(out-of-order execution) 기술

- 비순차명령어(out-of-order) 기술
- 파생되는 보안 문제 해결 기술

○ 멀티코어 기술

- 캐쉬 일관성 보장 기술, 멀티코어 연결 기술

○ 메모리 관리 기술

- 캐쉬 구조 기술 (associativity, 교체 정책, 계층적 구조 등)
- TLB(Translation Lookaside Buffer) 구조 최적화와 page table 관리 기술

○ 전력 및 온도 관리 기술

- 블록별 power gating과 clock gating을 위한 voltage island 구현 기술
- Governor와 DTM(Dynamic Thermal Management) 등의 소프트웨어 기술

2) General 코어 기술 구현

○ 설계단계 성능 평가

- RTL 기반 시뮬레이션 및 성능 평가 기술
- FPGA 기반 성능 평가 기술

○ ASIC을 위한 Synthesis와 P&R

- Clock frequency와 IPC를 동시에 고려하는 최적화
- Power 및 온도 최적화 (clock gating, power gating, leakage power 최소화 등)

□ 성과목표

○ 상용 ISA 기반 CPU 기술개발

성능항목		목표	현재 기술 수준	비고
단일 CPU 성능목표	전력소모	250W 이하의 전력 (TDP)	250W (기준: 미국 Summit*의 NVIDIA V100) * '19년 11월 Top500 1위	
		40 GFLOPS/W 이상의 에너지 효율성	28 GFLOPS/W (기준: 미국 Summit의 NVIDIA V100)	
	이론성능	10 TFLOPS의 배정도 부동소수점	7.014 TFLOPS (기준: 미국 Summit의 NVIDIA V100)	
	표준성능 벤치마킹	8.25 이상의 SPECint2006 벤치마크 성능	8.25 (기준: ARM Cortex-A75*) * 서버용 Cortex-A 제품군 중에서 최신 ('19년 11월)	
		HPL 벤치마크 기준 75% 이상의 연산 성능 효율	78.1% (기준: 중국 Tianhe-2A*) * '19년 11월 Top500 4위	
단일 컴퓨팅 노드 성능목표	전력소모	단일 CPU 기반 컴퓨팅노드 당 500 W 이하의 전력 (TDP)	500 W 이상 (기준: 미국 Summit의 IBM POWER9 22c + NVIDIA V100 + α)	
	안정성	HPL 벤치마크 기준, 24시간 연속 수행 및 성능편차 10% 이내	국내 슈퍼컴퓨터 운용 사례 참조	
클러스터 시제품 성능목표	표준성능 벤치마킹	HPL 벤치마크 기준 60% 이상의 클러스터 연산성능효율	54% (기준: KISTI 슈퍼컴 5호기 누리온*) * '19년 11월 Top500 14위	
	응용성능 벤치마킹	(제안자가 제시)	(제안자가 제시)	

※ Green500: 슈퍼컴퓨터의 전력 효율성을 기준으로 매 해 6월과 11월에 500등까지 발표한 리스트

※ 슈퍼컴퓨터가 소모하는 전력이 크게 증가함에 따라서 절대적인 성능뿐만 아니라 전력소모에 대한
정량적 목표를 함께 제시

※ 현재 기술로는 유사 성능 수준 제시가 어려움, 과제 제안자는 적정 기술을 제시할 것

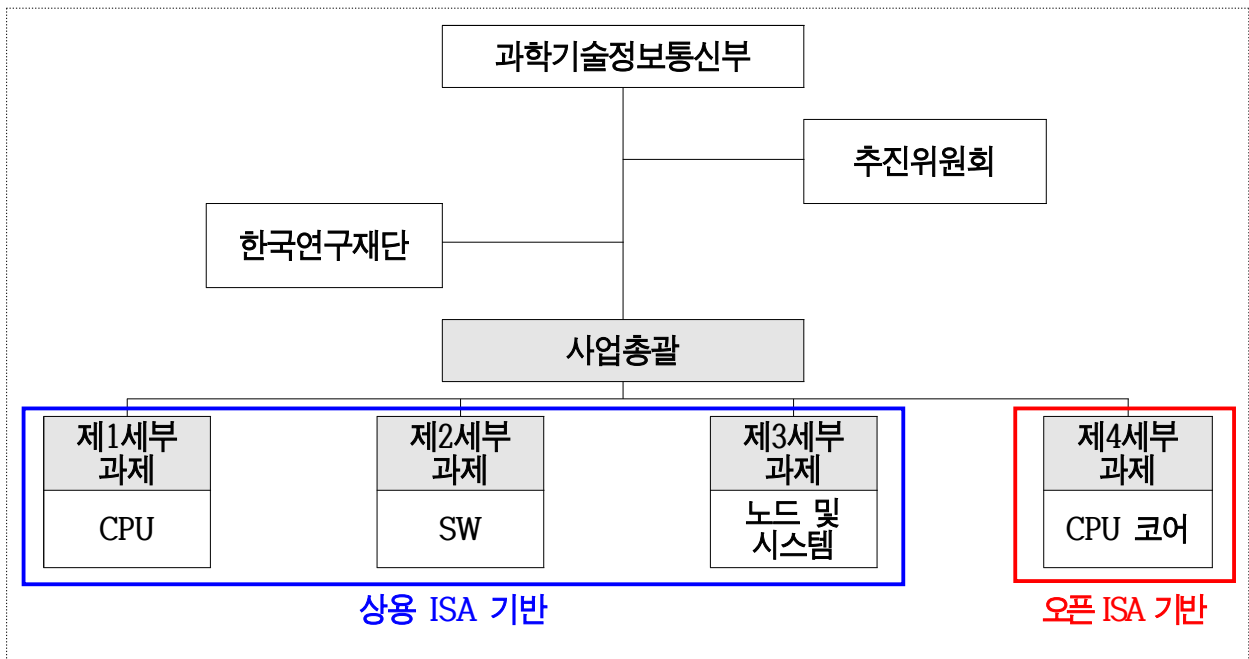
○ 오픈 ISA 기반 CPU 기술개발

성능항목		목표	현재 기술 수준	비고
단일 CPU 성능 목표	전력소모	16 nm 공정 CPU 코어당 270 mW/GHz 이하의 전력 (측정방법 제안자가 제시)	CPU 코어당 245 mW/GHz (기준: TSMC 16 nm 공정)	
	표준성능 벤치마킹	CoreMark 벤치마크 기준 6.93 CoreMark/MHz 이상의 성능	6.3 CoreMark/MHz (기준: Western Digital의 SweRV Core EH2 - TSMC 16 nm 공정 ('19년 12월))	

※ 제안자가 목표하는 제작 공정이 다를 경우 그에 따라 목표 및 현재 기술수준 조정

□ 특기사항

○ 사업 추진체계 및 주요역할



- 과기정통부(추진위) : 기본계획·시행계획 수립, 추진 실적 및 평가결과 검토 등
- 한국연구재단 : 사업 기획·평가·관리·정산 및 관련 업무 지원 등
- 수행기관 : 세부과제 4개로 구성된 컨소시엄(산·학·연 등 참여) 형태로 추진하며, 연구개발 결과물 활용처(기업, 기관 등)를 컨소시엄*에 포함

* 연구과제 참여 기관으로 포함하거나, 연구개발 자문위원회로 활동

○ 중요 제안 요구사항

- 연구개발이 목표하는 전통적인 병렬 슈퍼컴퓨팅 응용과 그 특성을 명시
(대상이 되는 병렬 응용과 각 세부 과제와의 관계 등 포함)
- 하드웨어와 소프트웨어의 Co-design을 위한 구체적인 전략을 제시
- 제1세부과제와 제4세부과제의 기술협력을 위한 구체적인 전략을 제시
 - * 과제 종료 후 1세부와 4세부의 결과물을 통합하기 위한 청사진 포함
- 개발된 슈퍼컴퓨팅 핵심기술의 연구생태계 조성 및 산학연 간의 유기적 협력을 위한 구체적인 실행방안을 제시(R&D 성과 교류회, 오픈 포럼 등)
- HW 시스템과 연계한 시스템 SW의 성능검증 및 통합 방안, 최종 개발된 HW·SW 통합시스템 결과물과 개별 연구 성과의 활용방안을 구체적으로 제시

○ 총괄 연구책임자의 자격 및 근무조건

- 당해 기술 분야에서 경영관리능력과 연구수행능력이 뛰어난 전문가이며 연구목표와 성과목표 달성을 위한 사업 추진 전략과 계획을 구체적으로 제시하여야 함
- 슈퍼컴퓨터 개발선도사업의 운영·관리에 전념해야 하며, 이에 대한 소속기관의 동의 필요
- 현 소속기관 내에서 타 업무 참여불가하며, 사업 내용과 이해관계가 있는 업무 겸직 및 참여 불가(예 : 기업이사, 주식지분참여)
- 본 사업 참여 전 기존의 진행 연구과제(기업위탁과제 포함)는 6개월 내 종료 또는 연구책임자를 교체토록 함

□ 연구기간 및 연구비

○ 총 연구기간: 4년

- 사업기간은 2020년~2023년 (1단계 2차년까지)

○ 총 사업비: 460억원 (2020년 90억원)

○ 연차별 예산 (단위: 억)

* 1, 2, 3 세부과제 간의 연구비 조정은 제안기관별로 조정가능

** IP 구매비용과 CPU 칩제작 비용 등 포함

기술개발 내용		1차년도	2차년도	3차년도	4차년도
상용 ISA 기반 슈퍼컴퓨터 계산 노드 기술개발*	[1세부과제] CPU 기술개발**	50	50	50	50
	[2세부과제] 소프트웨어 기술개발	15	25	25	25
	[3세부과제] 노드 및 시스템 기술개발	10	25	25	35
[4세부과제] 오픈 ISA 기반 CPU 코어 기술개발		15	20	20	20
연차별 합계		90	120	120	130

※ 선정평가, 단계평가 결과 등에 따라 과제 지원여부 및 규모 변경 가능

※ (단계평가) 단계 연구기간(2년) 종료 시점에 단계 실적·계획서를 제출 받아 평가결과에 따라 다음단계 진입여부, 과제 구성, 예산 규모 조정 등 실시(평가결과가 최하위(매우 미흡) 등급(D등급)일 경우 연구 지원 중단)